

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-020016

(43)Date of publication of application : 23.01.1992

(51)Int.Cl.

H03L 7/099
H03K 3/03

(21)Application number : 02-123624

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.05.1990

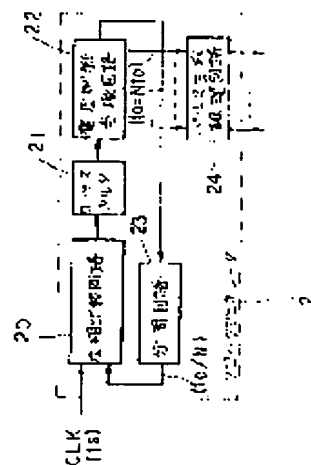
(72)Inventor : SUGINO KIMIHIRO
DAIMON KAZUO

(54) CLOCK GENERATOR AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To suppress an oscillating frequency from a ring oscillator low by including the ring oscillator comprising of an odd number of stages of delay circuits into a voltage controlled oscillator circuit and extracting outputs of the plural delay circuits included in the ring oscillator separately as clock signals of plural phases directly.

CONSTITUTION: A clock generator 2 consists of a frequency multiplier circuit employing a PLL circuit and its voltage controlled oscillator circuit 22 includes the ring oscillator in which odd number of stages of voltage controlled type delay circuits whose delay is controlled by a voltage are in feedback connection. Outputs of the plural delay circuits included in the ring oscillator are given directly separately as plural phases of clock signals to a pulse generating logic circuit 24. Thus, the oscillating frequency of the ring oscillator is suppressed lower and the power consumption in the voltage controlled oscillator circuit is reduced.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-20016

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月23日

H 03 L 7/009
H 03 K 3/03

8221-5J
9182-5J

H 03 L 7/08

F

審査請求 未請求 請求項の数 7 (全11頁)

⑮ 発明の名称 クロックジェネレータ及び半導体集積回路

⑯ 特 願 平2-123624

⑰ 出 願 平2(1990)5月14日

⑱ 発 明 者 杉 野 貴 美 広 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 発 明 者 大 門 一 夫 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 玉村 静世

明 細 書

1. 発明の名称

クロックジェネレータ及び半導体集積回路

2. 特許請求の範囲

1. 入力クロック信号と帰還された信号との周波数並びに位相を比較してその誤差に応じた電圧信号を形成する位相比較回路と、

位相比較回路から出力される電圧信号に応じて発振周波数に変化される制御型発振回路とを含んで、

前記入力クロック信号の周波数を過倍するPLL形式の帰還系として構成されるクロックジェネレータであって、

前記制御型発振回路は、奇数段の遅延回路を含んで構成されたリングオシレータを備え、

前記複数個の遅延回路の出力信号を直接複数相のクロック信号として別々に引き出すようにされて成るクロックジェネレータ。

2. 前記遅延回路から引き出される複数相のクロック信号をバッファ回路を介して入力するパル

ス生成論理回路を設けた請求項1記載のクロックジェネレータ。

3. 前記遅延回路の遅延時間は非同一にされ、不等間隔で複数相のクロック信号を形成するようにされて成る請求項1又は2記載のクロックジェネレータ。

4. 前記遅延時間は、夫々の遅延回路に含まれる容量の比によって決定されて成る請求項3記載のクロックジェネレータ。

5. 論理動作を行う内部回路と、請求項2記載のクロックジェネレータを含む半導体集積回路であって、

前記パルス生成論理回路は、内部回路の1マシンスイクル単位で制御パルスを生成するものである半導体集積回路。

6. 前記遅延回路の遅延時間は、内部回路の動作特性又は内部回路に対する制御手順に応じて非同一にされ、

前記パルス生成論理回路は、遅延回路から引き出される不等間隔の複数相クロック信号に基

づいて、所要のタイミングを持った制御パルス
を生成するものである請求項5記載の半導体集
積回路。

7. マイクロコンピュータとして構成されて成る
請求項5又は6記載の半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はPLL(フェーズ・ロックド・ループ)
回路形式のクロックジェネレータ、さらにはそれ
を含む半導体集積回路に関し、例えばマイクロコ
ンピュータやマイクロプロセッサのような論理LSI
に適用して有効な技術に関するものである。

(従来の技術)

クロック信号に同期動作するマイクロコンピュ
ータなどの半導体集積回路において、多相クロッ
ク信号などを形成するクロックジェネレータとし
てPLL回路を利用することができる。このとき
クロックジェネレータはPLL回路を適用した周
波数過倍回路として構成される。例えば、位相比
較回路と電圧制御発振器と分周比 $1/N$ の分周回

路とを含む帰還系によって構成され、周波数 f_s
の入力クロック信号と分周回路から帰還された周
波数 f_s/N の信号との周波数並びに位相を位相
比較回路で比較してその誤差に応じた電圧信号を
形成する。そして、これを受ける電圧制御発振器
が、その電圧信号に応じて周波数 f で発振する。
この周波数 f は $f_s = N f$ の関係を持つ。この
ようなPLL回路から得られる単一出力即ち周波
数 f の信号から多相クロック信号を得るには、
当該周波数 f の信号を再び分周し、分周した信
号を所要の論理を通すことによって、ノンオー
ラップ多相クロック信号のようなクロック信号が
形成される。ここで、周波数 f の信号に対する
分周比は最終的に必要とされるクロック信号の相
数などによって決定され、例えば、10MHzの
ノンオーラップ4相クロック信号を形成する場
合には、電圧制御発振器の出力周波数 f として
40MHzを得ることが必要になる。

尚、多相クロック信号を形成する回路について
記載された文献の例としては米国特許第3939

335号があり、また、PLL回路とくにその電
圧制御発振回路について記載された文献の例とし
ては特開昭52-123851号公報がある。

(発明が解決しようとする課題)

しかしながら電圧制御発振回路の単一出力に基
づいて多相クロック信号を形成する場合には、再
びその信号を分周しなければならないため、電圧
制御発振器には高い発振周波数が要求される。例
えばマイクロコンピュータやマイクロプロセッサ
に適用される場合、そのマシンサイクルよりも数
倍高い発振周波数が必要になる。このことは、電
圧制御発振回路の過倍率を高くすることを意味す
るが、リング型オシレータなどの発振回路におい
てその発振周波数には限界があり、発振周波数を
高くする程その製造が困難になり、マイクロコン
ピュータなどの半導体集積回路の動作の高速化に
対応しきれなくなってしまう。しかもPLL制御
を受ける性質上電圧制御発振器の過倍率が高くな
るに従って発振信号のジッタが増大し、発生され
るクロック信号の位相がずれて、クロック信号の

精度、ひいてはそれによって制御される回路動作
の信頼性が、著しく低下してしまう。しかも電圧
制御発振器における電力消費量も増えてしまう。

本発明の目的は、電圧制御発振器による発振信
号のジッタや電力消費量を比較的低く抑えながら
高い周波数の多相クロック信号を形成することが
できるクロックジェネレータを提供することにあ
る。

本発明の別の目的は、半導体集積回路の内部論
理動作に必要な多相の制御パルスを最適化して生
成することができるクロックジェネレータを提供
することにある。

本発明のさらに別な目的は、内部論理回路に対
して制御パルスによる論理動作タイミングが最適
化された半導体集積回路を容易に得ることができ
る技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特
徴は本明細書の記述及び添付図面から明らかにな
るであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、位相比較回路と制御型発振回路とを含み、入力クロック信号の周波数を選倍するPLL形式の帰還系によって構成されるクロックジェネレータにおいて、前記制御型発振回路には、例えば遅延量を電圧で制御可能にされた電圧制御型の遅延回路を奇数段含んで構成されたリングオシレータを含め、当該リングオシレータに含まれる複數個の遅延回路の出力を直接複數相のクロック信号として別々に引き出すようにしたものである。

このようにして引き出された複數相のクロック信号から所要のタイミングをもった複數相の制御パルスを作成するには、当該クロック信号をバッファ回路を介して入力するパルス生成論理回路を設ける。

供給先論理の構成に応じたクロック幅もしくはパルス幅の信号を容易に得るには、その必要に応じて遅延回路の遅延時間を設定して、不等間隔で複數相のクロック信号を生成すればよい。その遅

延時間は、夫々の遅延回路に含まれる容量成分の比や遅延回路に対する制御比率などによって決定することができる。

上記クロックジェネレータを含めてマイクロコンピュータなどの半導体集積回路を構成する場合、その内部回路の1マシンサイクル単位で制御パルスを作成するように前記パルス生成論理回路を構成することができる。このとき、パルス生成論理回路は、供給先論理に最適な幅若しくはタイミングの制御パルスを容易に生成するため、その必要に応じて設定された遅延回路の遅延時間に基づいた不等間隔の複數相のクロック信号を受けて、所要のタイミングを持った制御パルスを生成することができる。

〔作用〕

上記した手段によれば、リングオシレータは夫々の遅延回路の遅延と反転動作で正帰還閉ループを形成し、入力クロック信号に対して所定の選倍率をもって発振するが、このとき遅延回路の出力は所定のデューティを持ち、相互に所定の時間遅

延されて変化される。当該遅延回路の出力が夫々別々のクロック信号として取り出されることにより、1周期がリングオシレータの発振周期に一致する複數相のクロック信号が得られる。このことは、電圧制御発振回路の発振信号を再び分周してから多相化する処理を不要に作用し、電圧制御発振回路による発振信号のジッタや電力消費量を比較的低く抑えながら高い周波数の多相クロック信号の形成を可能にする。

このときの多相クロック信号の間隔若しくは位相差は個々の遅延回路の遅延時間によって決定され、当間隔若しくは不等間隔何れの状態でも任意に得られる。

そして、斯る多相クロック信号がパルス生成論理回路に入力されると、その論理に従った制御パルスが生成される。このようにして生成される各種制御パルス相互間の関係若しくは変化タイミングは、その元になる多相クロック信号相互間の位相若しくは間隔によって規定される。このことは、半導体集積回路の内部論理動作に必要な多相の制

御パルスを最適化して生成すること、並びにそれを容易化するように作用する。

〔実施例〕

第6図には本発明の一実施例に係るマイクロプロセッサのブロック図が示される。同図に示されるマイクロプロセッサは、特に制限されないが、公知の半導体集積回路製造技術によってシリコンのような1個の半導体基板に形成される。

第6図に示されるマイクロプロセッサ1は、特に制限されないが、クロックジェネレータ2、制御部3、演算部4、及び入出力部5などを含む。クロックジェネレータ2は、特に制限されないが、外部から供給されるクロック信号CLKを受け、これよりも周波数の高いクロック信号を生成して各部に動作基準信号若しくはタイミング信号のような制御パルスとして供給する。制御部3は、動作プログラムに含まれる命令を所定の手順にしたがってフェッチし、フェッチした命令を解釈して各種内部制御信号を生成したりする。演算部4は制御部の制御に従って命令を実行するための各種

データやアドレス演算を行う。入出力部5は、外部とインタフェースされ、各種情報の入出力を行う。

第7図には前記演算部4を構成する一部の回路ブロックが示される。

内部バス10には代表的に3個のレジスタR1～R3の入力端子が結合される。算術論理演算器ALUは前記レジスタR2及びR3の値などを入力し、演算結果をアキュムレータACCを経由して内部バス10に与える。RAMは作業領域若しくはデータの一時記憶領域として利用されるデータメモリであり、そのデータ入力端子はセレクトSELを介して加算器ADD又はレジスタR2に選択接続される。前記加算器ADDにはデータメモリRAM並びにレジスタR1からデータが与えられる。データメモリRAMのアクセスアドレスはアドレスラッチALATから与えられる。このアドレスラッチALATのラッチタイミングはアドレスラッチパルスADRLPによって制御される。その他にこのデータメモリRAMには、リー

ドライト信号R/W、イネーブルパルスREN P、及び出力ラッチパルスROL Pが供給される。

第7図において、加算器ADD、セレクトSEL、及びデータメモリRAMは、データメモリRAMのアドレスADRに格納されているデータにレジスタR1の保持データを加算して再びデータメモリRAMのアドレスADRに戻すという処理、即ち、

$$RAM(ADR) \leftarrow RAM(ADR) + R1$$

を1マシンサイクルで実行して積分を効率的に行うための専用構成として利用可能になっている。

第1図には前記クロックジェネレータ2の一例が示される。

このクロックジェネレータ2は、PLL回路を適用した周波数選倍回路として構成され、特に制限されないが、位相比較回路20、ローパスフィルタ21、電圧制御発振回路22、そして分周比1/Nの分周回路23を含む帰還系と、電圧制御発振回路22から直接取り出された多相クロック信号を入力して各種制御パルスを生成するパルス

生成論理回路24とによって構成される。

前記位相比較回路20は、周波数 f_s の入力クロック信号CLKと分周回路23から帰還された周波数 f/N の信号との周波数並びに位相を比較し、その誤差に応じた電圧信号を形成する。電圧制御発振回路22は、その誤差電圧に応じた周波数 f で発振し、この周波数 f は $N f_s$ に等しくされる。

前記電圧制御発振回路22は、遅延量を電圧で制御可能にされた奇数段の電圧制御型の遅延回路を帰還接続したリングオシレータを含み、当該リングオシレータに含まれる複数個の遅延回路の出力が直接複数相のクロック信号として別々にパルス生成論理回路24に引き出されるようになっている。パルス生成論理回路24は、電圧制御発振回路22から直接与えられる複数相のクロック信号に基づいて所要のタイミングをもった複数相の制御パルスを生成する。

第2図には電圧制御発振回路22及びパルス生成論理回路24の一例が示される。同図に示され

る構成は、前述の演算部4における効率的な積分処理のための制御パルスに専ら着目した場合の構成例が示されており、実際には、マイクロプロセッサ1のその他内部回路に供給すべき制御パルスも生成することになるが、これについては省略されている。

第2図において、S1～S5は前記位相比較回路20から出力される誤差電圧に応ずる電圧信号 V_{in} によって制御されるMOS可変抵抗回路、INV1～INV5は対応するMOS可変抵抗回路に接続された奇数段のインバータ、C1～C5は対応するインバータの出力端子に一方の電極が結合された容量素子である。インバータINV1～INV5、MOS可変抵抗回路及び容量素子C1～C5は、対応する1組づつが夫々電圧制御型の遅延回路の一例を成し、リング状に帰還接続されてリングオシレータ30を構成する。

前記遅延回路1段分例えば初段の詳細は第3図に示され、インバータINV1はPチャンネル型MOSFETMP1とNチャンネル型MOSFE

TMN1によってコンプリメンタリプッシュプル形態に構成され、MOS可変抵抗回路S1はPチャンネル型MOSFETMP2とNチャンネル型MOSFETMN2が並列されて構成される。その他の遅延回路も同様である。

前記MOS可変抵抗回路S1～S5は可変バイアス回路27でその抵抗値が変化されるようになっており、その抵抗値に応じて、インバータINV1～INV5による容量素子C1～C5の充放電時間が制御される。

可変バイアス回路27の一例は第4図に示されるようにPチャンネル型MOSFETMP3、MP4とNチャンネル型MOSFETMN3、MN4によって構成され、入力電圧Vinレベルに従って決定されるMOSFETMP3とMN3とのコンダクタンス比に応じた電圧VpとVnを形成し、両制御電圧Vp、Vnは相補的に変化する関係を持つ。例えば入力電圧Vinのレベルが高くなる程、電圧Vpは低くなり、電圧Vnは高くなる。

与えられる。パルス生成論理回路24の入力初段には夫々バッファBUF1～BUF5が設けられ、クロック信号PH1～PH5として内部に供給される。バッファBUF1～BUF5は前記夫々の容量素子C1～C5による遅延時間がパルス生成論理回路24の内部の容量成分によって不揃いにならないようにするために設けられている。

パルス生成論理回路24はクロック信号PH1～PH5に基づいて前記アドレスラッチパルスADRLP、イネーブルパルスRENp、リードライト信号R/W、及び出力ラッチパルスROLpを生成する。これら信号は、前述のRAM(ADR)←RAM(ADR)+R1という処理を1マシンサイクルで実行可能にするものであり、1マシンサイクル内で、データメモリRAMの読出し、加算、そして加算結果の書き込みを、内部バス10を使わずに実行させる。比較的短いマシンサイクル内で、データメモリRAMの読出し、加算、そして加算結果の書き込みを実行するには、データメモリRAMのリードアクセス、

前記リングオシレータ30は、夫々遅延回路を構成する容量素子と可変抵抗回路とによるCR遅延とインバータの反転動作で正帰還ループを形成して発振する。発振周波数fは、入力電圧Vinによって制御され、本実施例に従えば、入力クロック信号CLKの周波数fsに対してN倍にされる。このとき夫々のインバータINV1～INV5の出力は所定のデューティを持ち、相互に所定の時間遅延されて、即ち相互に所定の位相差をもって変化される。当該インバータINV1～INV5の出力は、夫々別々のクロック信号として取り出されることにより、1周期がリングオシレータ30の発振周期に一致する複数相のクロック信号が得られる。

したがって、電圧制御発振回路の単一出力を再度分周して多相クロック化する従来技術のように最終的に必要とされる周波数よりも高い発振周波数を電圧制御発振回路で得る必要はない。

このようにして電圧制御発振回路22で得られる多相クロック信号はパルス生成論理回路24に

加算演算、そしてデータメモリRAMのライトアクセスを、無駄な時間を費やすことなく実行させる必要がある。このためには、データメモリRAMのリードアクセス時間に合わせてデータメモリRAMの出力タイミングを設定すること、そして、データメモリRAMへの書き込みタイミングもデータメモリRAMのライトアクセス時間や加算器ADDの演算速度に合わせて最適化しなければならない。第2図の電圧制御発振回路22では、容量素子C1～C5の容量比によってクロック信号PH1～PH5相互間の遅延量若しくは位相差を決定するようになっており、その比をデータメモリRAMのアクセスタイムや加算器ADDの演算速度に応じて設定することにより、係る演算処理を効率的に且つ確実に実行し得るようにしている。

例えば、cを単位容量とすると、容量素子C1～C5は、データメモリRAMのアクセスタイムならびに加算器ADDの演算速度に従って、

$$C1 = 0.5c$$

$$C2 = 1c$$

$$C3 = 3c$$

$$C4 = 1c$$

$$C5 = 1.5c$$

とされる。このとき、単位容量 c によってもたらされる遅延時間を D とすると、多相クロック信号 $PH1 \sim PH5$ は、第5図に示されるように不等間隔の位相差を持つ。尚、この例に従えば、1マシンサイクルは $14D$ に相当する時間とされる。

パルス生成論理回路24は、その不等間隔の位相差を持つ多相クロック信号 $PH1 \sim PH5$ に基づいて以下の論理式に従った各種信号 $ADRLP$, $REN P$, R/W , $ROL P$ を生成するためのアンドゲート $AND1 \sim AND3$ 並びにオアゲート $OR1$, $OR2$ から成る論理を備える。

$$ADRLP = PH1 \cdot PH2$$

$$REN P = PH2 \cdot PH4 + PH3 \cdot PH5$$

$$R/W = PH1 + PH3$$

$$ROL P = PH4 \cdot PH5$$

このようにして生成される各種信号のタイミングチャートは第5図に示される。

プロセッサ1が積分を実行する場合に制御部3を経由して若しくは制御部3の制御を受けて供給される。

第8図には電圧制御発振回路22及びパルス生成論理回路24の別の例が示される。同図に示される構成は、ノンオーバーラップ3相のクロックパルスを生成するための回路である。この回路は、第2図に示される回路と共に電圧制御発振回路22及びパルス生成論理回路24に含めることもできる。これはクロックジェネレータ2に要求される機能に応じて決定される。

第8図において、 $S11 \sim S13$ は前記位相比較回路20から出力される誤差電圧に応ずる電圧信号 V_{in} によって制御されるMOS可変抵抗回路、 $INV11 \sim INV13$ は対応するMOS可変抵抗回路 $S11 \sim S13$ に接続された奇数段のインバータ、 $C11 \sim C13$ は対応するインバータの出力端子に一方の電極が結合された容量素子である。インバータ $INV11 \sim INV13$ 、MOS可変抵抗回路 $S11 \sim S13$ 及び容量素子は、

アドレスラッチパルス $ADRLP$ は1マシンサイクル毎にローレベルからハイレベルに変化され、その変化タイミングに同期してアドレスラッチ $ALAT$ にアドレスをラッチさせ、そのラッチアドレスがデータメモリ RAM に供給される。イネーブルパルス $REN P$ は、データメモリ RAM のリードアクセス時間 T_{ra} とライトアクセス時間 T_{wa} を夫々確保する期間ハイレベルにアサートされ、その間隔時間 T_{inv} には加算演算のための必要最小限の時間が確保されている。リードライト信号 R/W は夫々のアクセス期間においてそのアクセス動作を規定するたに必要充分なタイミングをもって変化される。そして、出力ラッチパルス $ROL P$ はリードデータが確定した直後のタイミングをもってローレベルからハイレベルに変化され、リードデータを加算器 ADD に転送させる。

尚、クロックジェネレータ2で生成される前記信号 $ADRLP$, $REN P$, R/W , $ROL P$ は常に演算部4供給されるものではなく、マイクロ

対応する1組づつが夫々遅延回路の一例を成し、リング状に帰還接続されてリングオシレータ40を構成する。該リングオシレータ40は、第2図同様にも夫々遅延回路を構成するMOS可変抵抗回路、容量素子によるCR遅延とインバータの反転動作で正帰還閉ループを形成して発振する。

この例の場合には、インバータ $INV11 \sim INV13$ の論理しきい値は相互に等しく、また、容量素子 $C11 \sim C13$ も等容量であり、さらにMOS可変抵抗回路 $S11 \sim S13$ の特性も揃えられている。したがって、夫々のインバータ $INV11 \sim INV13$ の出力 $P1 \sim P3$ は、相互にデューティが等しく等間隔の位相差をもったクロック信号とされ、その状態は第9図に示される。

前記3相クロック信号 $P1 \sim P3$ に基づいてノンオーバーラップ3相のクロックパルスを生成するためのパルス生成論理回路24は、その等間隔の位相差を持つクロック信号 $P1 \sim P3$ に基づいて以下の論理式に従ったクロックパルス $CP1 \sim CP3$ を生成するためのアンドゲート $AND11 \sim$

AND13から成る論理を備える。

$$CP1 = P1 \cdot P2$$

$$CP2 = P1 \cdot P3$$

$$CP3 = P2 \cdot P3$$

そしてこのようにして生成されたクロックパルスの状態は第9図に示されている。尚、第8図においてBUF11~BUF13はバッファである。

したがって、多相のノンオーバーラップクロックパルスを得る場合にも、電圧制御発振回路の単一出力を再度分周して多相クロック化する従来技術のように最終的に必要とされる周波数よりも高い発振周波数を電圧制御発振回路で得る必要はない。仮に、第8図のクロック信号P3のみから3相のノンオーバーラップクロックパルスCP1~CP3を得る場合には、リングオシレータの発振周期をT/6にしなければならず、換言すればその発振周波数を6倍にすることが必要になる。

上記実施例によれば以下の作用効果がある。

(1) 入力クロック信号の周波数を過倍するPLL形式の掃達系において、第2図や第8図に示さ

って制御される回路動作の信頼性も向上させることができる。さらにリングオシレータの発振周波数を低く抑えることができるということは、電圧制御発振回路における電力消費量の低減に寄与する。

(3) 上記作用効果により、最終的に必要とされる信号周波数に対して電圧制御発振回路の過倍率を従来に比べて相対的に低くすることができることは、発振周波数という点においてもしくはリングオシレータの発振周波数限界という点において従来と同じ技術をもって構成された電圧制御発振回路を用いる場合にも、クロックジェネレータで得られるクロック信号やパルス信号の発振周波数を容易に従来の数倍に高めることができ、これによって半導体集積回路の動作の高速化に容易かつ確実に対処することができるようになる。

(4) 第2図に基づいて説明したように、比較的短いマシンサイクル内で、メモリアクセスや演算などの一連の処理を実行するには、夫々の処理を無駄な時間を費やすことなく実行させる必要があ

れるように、電圧制御発振回路22には、奇数段の電圧制御型の遅延回路を掃達接続したリングオシレータ30(40)を含め、当該リングオシレータに含まれる複数個の遅延回路の出力を直接複数相のクロック信号として別々に引き出すようにすることにより、電圧制御発振回路の単一出力を再度分周して多相クロック化する従来技術のように最終的に必要とされる周波数よりも高い発振周波数を電圧制御発振回路で得る必要はない。

(2) これにより、内部で必要とされるクロック信号やパルス信号の周波数に対してリングオシレータの発振周波数を従来よりも低くすることができ、電圧制御発振回路の設計若しくは製造を容易化することができる。これに加え、電圧制御発振回路はPLL制御状態で動作されるため過倍率が高くなるほど入力クロック信号に対する発振信号のジッタ量が増えるという事情に関しても、リングオシレータの発振周波数を低く抑えることができ、クロック信号の精度、ひいてはそれによ

り、そのためには、各処理に必要な時間に合わせて夫々の動作タイミングを最適化しなければならない。このとき、リングオシレータに含まれる夫々の遅延回路の遅延時間を容量素子の容量比などによって設定して、クロック信号相互間の遅延量若しくは位相差を決定するに当たり、その位相差をメモリアクセスや演算などの一連の処理に含まれる夫々の処理時間や処理能力に応じて設定することにより、命令実行を効率的に且つ確実に行うことができるようになる。即ち、制御対象とされる回路の構成や能力に合わせて、最適な制御パルスを生じることができ、回路の性能若しくは処理能力を充分に発揮させ得る論理設計が容易になって、比較的簡単に高性能の論理LSIの取得が可能になる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

リングオシレータに含まれる遅延回路はインバータと抵抗素子と容量素子から成る構成に限定されず、反転可能であって遅延時間を管理可能なものであればその他の回路構成に変更することができる。例えばインバータはノアゲートやナンドゲートなどに変更することができ、またその接続段数も奇数段である限り何段でもよい。このとき、リングオシレータに少なくとも1個のナンドゲートなどが含まれる場合には、当該ゲートにリングオシレータの発振を起動・停止制御する信号を与えるようにしてもよい。さらに、リングオシレータの遅延回路から並列的に取り出される出力は全ての遅延回路に対応させる必要はなく、要求使用に応じて適宜決定することができる。

そして、電圧制御型のMOS抵抗回路は全ての遅延回路に設けなくてもよく、PLL制御動作に必要な部分だけに配置するようにしてもよい。また、容量素子は、MOS容量によって構成することもできる。また、電圧制御遅延回路はMOS抵抗型の回路によらず、インバータの駆動電流を調

整する電圧制御電流源型でもかまわない。

クロック信号相互間の遅延時間は、容量素子の値を変えることによって設定することに限定されず、インバータのような回路の論理しきい値電圧、個々の電流源に供給される電流値、電圧制御MOS抵抗回路の特性などを変えて設定することもできる。

また、パルス生成論理回路は必ずしも電圧制御発振回路の近傍に配置しなくてもよい。逆に、電圧制御発振回路とクロック信号若しくは制御パルスを受けて動作する論理回路とが離れている場合には、当該論理回路近傍にパルス生成論理回路を配置することが望ましい。その方が多相のクロックパルス相互間の位相のずれを小さくする上で有利だからである。

また、パルス発生論理回路で生成する制御パルスは演算のための信号に限定されず、適宜のタイミング信号やクロック信号並びに制御パルスとして利用することができる。

以上の説明では主として本発明者によってなさ

れた発明をマイクロコンピュータに適用した場合について説明したが、本発明はこれに限定されるものではなく、所要の周辺回路を含んだ1チップマイクロコンピュータ、ディジタル信号処理プロセッサのような専用プロセッサ、さらにはDMAコントローラや表示用コントローラなど、各種半導体集積回路に広く適用することができる。さらに、クロックジェネレータそれ自体は単独の回路としても汎用的に利用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、入力クロック信号の周波数を適倍するPLL形式の帰還系によって構成されるクロックジェネレータにおいて、制御型発振回路には、奇数段の遅延回路によって構成されるリングオシレータを含め、当該リングオシレータに含まれる複数個の遅延回路の出力を直接複数相のクロック信号として別々に引き出すようにしたから、制御

型発振回路の単一出力を再度分周して多相クロック化する従来技術のように最終的に必要とされる周波数よりも高い発振周波数を制御型発振回路で得る必要はなく、これにより、内部で必要とされるクロック信号やパルス信号の周波数に対してリングオシレータの発振周波数を従来よりも低くすることができるという効果がある。

したがって、制御型発振回路の設計若しくは製造を容易化することができ、これに加え、電圧制御発振回路はPLL制御状態で動作されるという点に関し、リングオシレータの発振周波数を低く抑えることができるという点においてジッタ量も少なくすることができ、クロック信号の精度、ひいてはそれによって制御される回路動作の信頼性も向上させることができる。さらにリングオシレータの発振周波数を低く抑えることができることにより、制御型発振回路における電力消費量の低減にも寄与する。

さらに、最終的に必要とされる信号周波数に対して制御型発振回路の適倍率を従来に比べて相対

的に低くすることができるということは、発振周波数という点において若しくはリングオシレータの発振周波数限界という点において従来と同じ技術をもって構成された制御型発振回路を用いる場合にも、クロックジェネレータで得られるクロック信号やパルス信号の発振周波数を容易に従来の数倍に高めることができ、これによって半導体集積回路の動作の高速化に容易且つ確実に対応することができるという効果を得る。

リングオシレータから多相で引き出された当該クロック信号をバッファ回路を介して入力するパルス生成論理回路を設けることにより、それら複数相のクロック信号から所要のタイミングをもった複数相の制御パルスを生成することができる。

供給先論理の必要に応じて遅延回路の遅延時間を設定して、不等間隔で複数相のクロック信号を生成することにより、供給先論理構成に最適な位相もしくは変化タイミングを持ったクロック信号並びにパルス信号を容易に得ることができる。

本発明に係るクロックジェネレータを含めてマ

イクロコンピュータなどの半導体集積回路を構成する場合、その内部回路の1マシンサイクル単位で制御パルスを生成するように前記パルス生成論理回路を構成することにより、半導体集積回路の内部論理動作に必要な多相の制御パルスを容易に最適化して生成することができるという効果がある。即ち、比較的短いマシンサイクル内で、メモリアクセスや演算などの一連の処理を実行するには、夫々の処理を無駄な時間を費やすことなく実行させる必要がある。そのためには、各処理に必要な時間に合わせて夫々の動作タイミングを最適化しなければならない。このとき、リングオシレータに含まれる夫々の遅延回路の遅延時間を設定してクロック信号相互間の遅延量若しくは位相差を決定するに当たり、その位相差をメモリアクセスや演算などの一連の処理に含まれる夫々の処理時間や処理能力に応じて設定することにより、命令実行を効率的に且つ確実に行うことができるようになる。このように制御対象とされる回路の構成や能力に合わせて、最適な制御パルスを生成す

ることができ、回路の性能若しくは処理能力を充分に発揮させ得る論理設計が容易になって、比較的容易に高性能の論理LSIの取得が可能になるという効果がある。

4. 図面の簡単な説明

第1図はクロックジェネレータの一実施例ブロック図。

第2図は電圧制御発振回路及びパルス生成論理回路の一例回路図。

第3図は遅延回路1段分の詳細一例回路図。

第4図は可変バイアス回路の一例回路図。

第5図は第2図の回路によって得られる制御パルスの一例タイミングチャート。

第6図はマイクロコンピュータの一実施例ブロック図。

第7図は第6図のマイクロコンピュータに含まれる演算部の一例ブロック図。

第8図は電圧制御発振回路及びパルス生成論理回路の別の例を示す回路図。

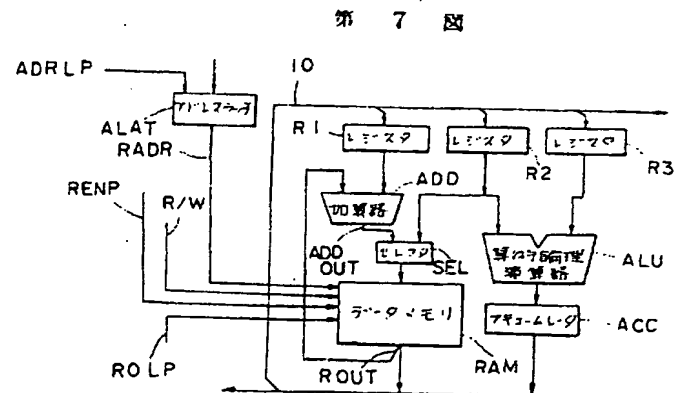
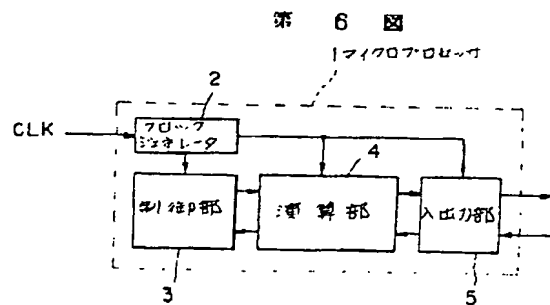
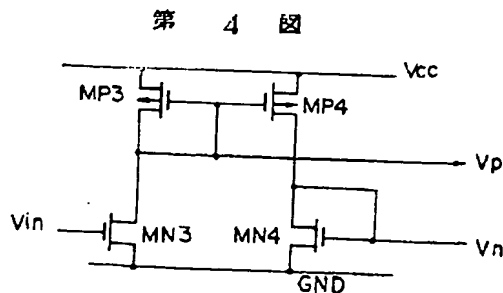
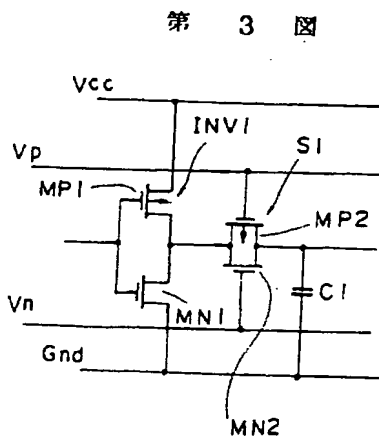
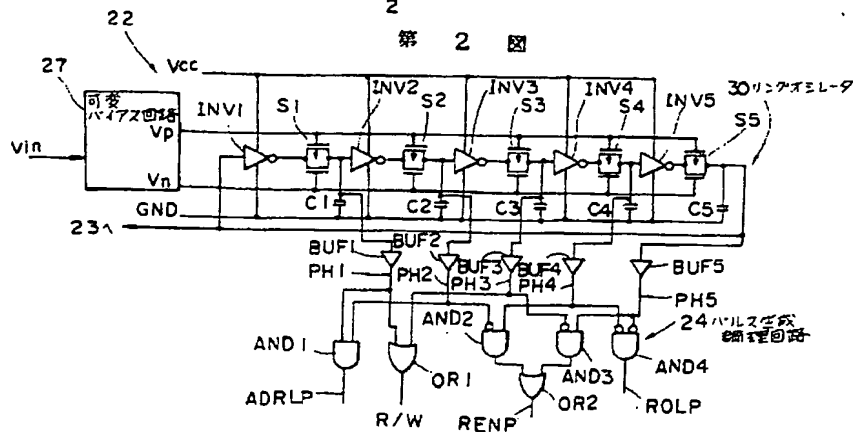
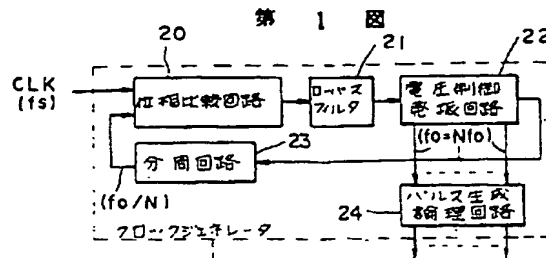
第9図は第8図の回路によって得られる制御パ

ルスの一例タイミングチャートである。

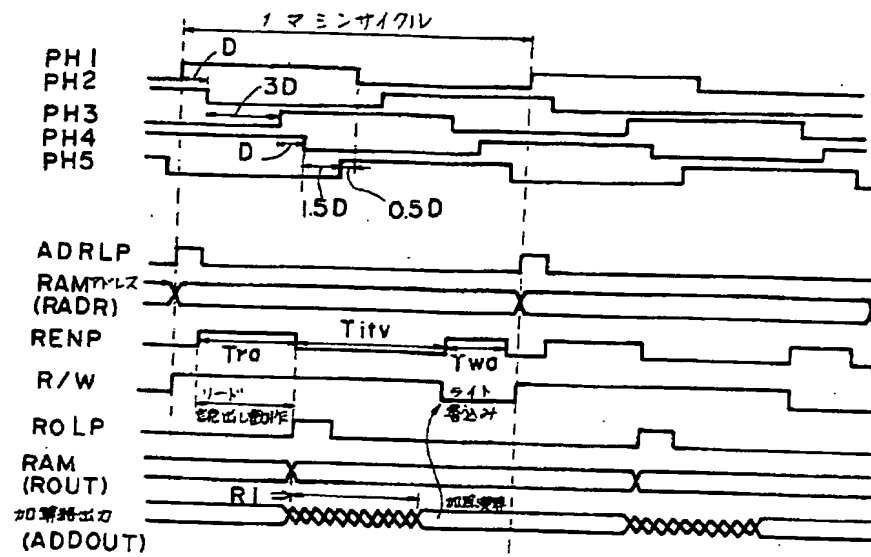
1…マイクロプロセッサ、2…クロックジェネレータ、3…制御部、4…演算部、R1～R3…レジスタ、ADD…加算器、SEL…セレクタ、RAM…データメモリ、ALAT…アドレスラッチ、ADRLP…アドレスラッチパルス、R/W…リードライト信号、RENP…イネーブルパルス、POLP…出力ラッチパルス、20…位相比較回路、22…電圧制御発振回路、23…分周回路、24…パルス生成論理回路、S1～S5…電圧制御型のMOS可変抵抗回路、INV1～INV5…インバータ、C1～C5…容量素子、27…可変バイアス回路、30…リングオシレータ、BUF1～BUF5…バッファ、PH1～PH5…クロック信号、S11～S13…電圧制御型のMOS可変抵抗回路、INV11～INV13…インバータ、C11～C13…容量素子、40…リングオシレータ、P1～P3…クロック信号、CP1～CP3…クロックパルス。

代理人 井 理 士 五 村 勲 世

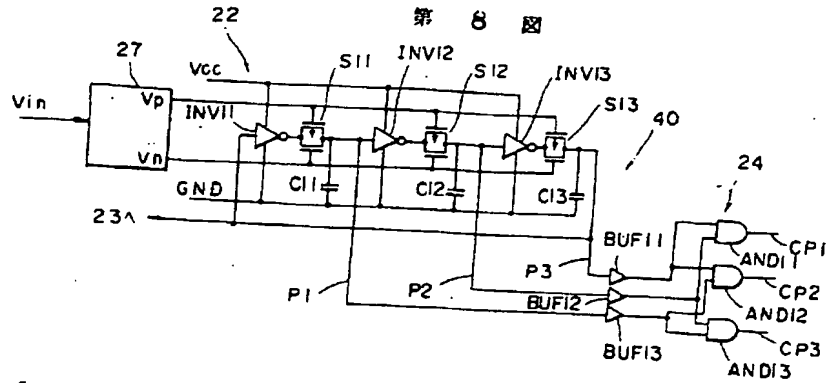




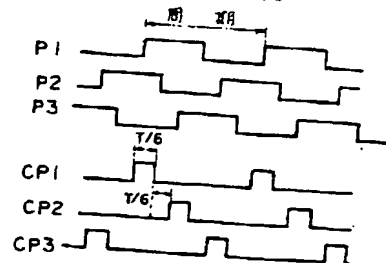
第 5 図



第 8 図



第 9 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.